

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-230707

(43)公開日 平成11年(1999)8月27日

(51)Int.Cl.⁶
G 0 1 B 7/13
H 0 1 L 29/84

識別記号

F I
G 0 1 B 7/12
H 0 1 L 29/84

B
Z

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号 特願平10-28645

(22)出願日 平成10年(1998)2月10日

(71)出願人 000137694
株式会社ミツトヨ
神奈川県川崎市高津区坂戸一丁目20番1号

(72)発明者 黒木 博
神奈川県川崎市高津区坂戸1丁目20番1号
株式会社ミツトヨ内

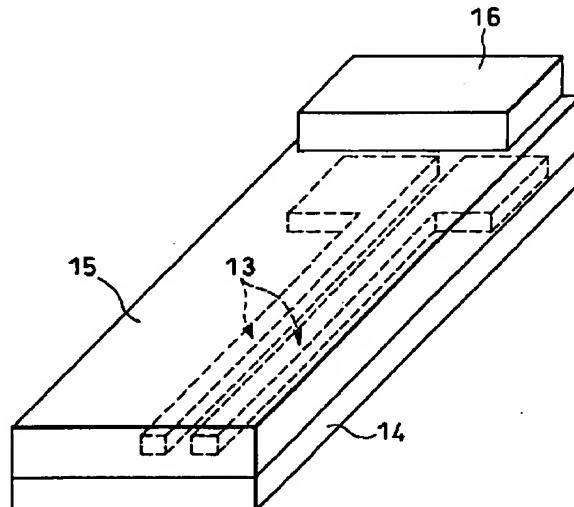
(74)代理人 弁理士 伊丹 勝

(54)【発明の名称】マイクロセンサデバイスの製造方法

(57)【要約】

【課題】加工済みのプローブ等のマイクロセンサ本体の形状がその後のエッチング工程で損なわれるがないようにしたマイクロセンサデバイスの製造方法を提供する。

【解決手段】第1のシリコン基板11をエッチングしてプローブ13を基板上の凸型パターンとして加工した後、その凸型パターンが形成された面を覆うように堆積絶縁膜14を形成し、この上に裏打ち用の第2のシリコン基板15を貼り合わせて両基板を一体化する。第1のシリコン基板11を堆積絶縁膜14が露出するまで研磨して、プローブ13をその周囲が堆積絶縁膜14で囲まれた状態に加工した後、裏打ち用シリコン基板15の不要部分をエッチング除去する。



【特許請求の範囲】

【請求項1】マイクロセンサ用基板をエッチングしてマイクロセンサ本体を基板上の凸型パターンとして加工する工程と、

前記マイクロセンサ用基板の凸型パターンが形成された面を覆うように堆積絶縁膜を形成し、この上に裏打ち用基板を貼り合わせてマイクロセンサ用基板と裏打ち用基板を堆積絶縁膜を介して一体化する工程と、

前記マイクロセンサ用基板を前記堆積絶縁膜が露出するまで研磨して、前記マイクロセンサ本体をその周囲が前記堆積絶縁膜で囲まれた状態に加工する工程と、

前記裏打ち用基板の不要部分をエッチング除去する工程とを有することを特徴とするマイクロセンサデバイスの製造方法。

【請求項2】前記マイクロセンサ用基板及び裏打ち用基板はシリコン基板であることを特徴とする請求項1記載のマイクロセンサデバイスの製造方法。

【請求項3】前記堆積絶縁膜は、火炎加水分解反応による絶縁微粒子として堆積され、前記マイクロセンサ用基板と裏打ち用基板を貼り合わせて一体化する工程でアニールにより硬化させられることを特徴とする請求項1又は2に記載のマイクロセンサデバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、シリコン基板等を加工してカンチレバー型プローブ等のマイクロセンサデバイスを製造する方法に関する。

【0002】

【従来の技術】近年、精密機械部品等の微細穴を加工するマイクロマシニング技術が注目されている。マイクロマシニングにより微細穴を加工したとき、その微細穴の径等を精密測定する技術が必要となる。この様な微細穴の径を測定する技術として、カンチレバー型プローブを用いたものが種々提案されている（例えば、特開平9-243313号公報、特開平8-75445号公報等参照）。

【0003】カンチレバー型プローブをシリコン基板を用いて加工する方法として例えば、基板貼り合わせ技術を利用したSOI（Silicon On Insulator）基板を用いる方法がある。そのプローブ製造方法を、図13～図18を用いて説明する。まず図13に示すように、プローブ材料であるシリコン基板3と裏打ち用のシリコン基板1を酸化膜等の絶縁膜2を介して貼り合わせる。次に図14に示すように、シリコン基板3をプローブとして必要な厚みまで研磨した後、図15に示すようにマスク4をパターン形成してシリコン基板3をエッチングし、図16に示すようにプローブ5を形成する。シリコン基板3のエッチングには例えばKOH等の強アルカリ液が用いられ、この場合マスク4としては減圧CVD法によるシリコン塗化膜（SiNx膜）が用いられる。

【0004】図17は、加工されたプローブ5のパターンをわかりやすく、斜視図で示している。その後、裏打ちのシリコン基板1の不要部分をエッチング除去することにより、図18に示すように、残されたシリコン基板1の基台に一体化された状態で、一对の細い針状のプローブ5が得られる。このシリコン基板1のエッチングにも、SiNx膜を用いたKOH液によるエッチングが利用される。図では示していないが、プローブ5の表面には金属膜が形成される。この様にして作られるカンチレバー型プローブは例えば、1mm程度の微細内径を測定する用途の場合であれば、一本のプローブの径がおよそ20μm、一对のプローブの間隔が80μm、長さが1mmといった小型のものとなる。

【0005】

【発明が解決しようとする課題】上述のように、貼り合わせ基板を用いる従来のプローブ製造工程では、シリコン基板のエッチング時、減圧CVD法によるSiNx膜マスクを用いるが、この減圧CVD工程は、処理温度が800°C程度で且つ処理時間が数時間かかるアニール工程であり、しかも処理装置が高価であるという難点がある。また、図15のエッチング工程での裏打ち用シリコン基板1のエッチングはある程度許されるとしても、裏打ち用シリコン基板1のエッチング時には、既に加工されているプローブ5のエッチングを防止することが必要である。

このためには例えば、SiNx膜を両面に形成することが必要になるが、既に加工されているプローブ5の面をSiNx膜で覆い、最後にまたこれを除去しなければならないため、工程は複雑になる。しかも、裏打ち用シリコン基板1のエッチングには長時間かかるから、SiNx膜により加工されたプローブ側を覆ったとしても、側面にプローブの一部でも露出していると、サイドエッチングが進行して、プローブ形状が大きく損なわれるという問題がある。

【0006】この発明は、上記事情を考慮してなされたもので、加工済みのプローブ等のマイクロセンサ本体の形状がその後のエッチング工程で損なわれることがないようにしたマイクロセンサデバイスの製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明によるマイクロセンサデバイスの製造方法は、マイクロセンサ用基板をエッチングしてマイクロセンサ本体を基板上の凸型パターンとして加工する工程と、前記マイクロセンサ用基板の凸型パターンが形成された面を覆うように堆積絶縁膜を形成し、この上に裏打ち用基板を貼り合わせてマイクロセンサ用基板と裏打ち用基板を堆積絶縁膜を介して一体化する工程と、前記マイクロセンサ用基板を前記堆積絶縁膜が露出するまで研磨して、前記マイクロセンサ本体をその周囲が前記堆積絶縁膜で囲まれた状態に加工する工程と、前記裏打ち用基板の不要部分をエッチング除

去する工程とを有することを特徴とする。この発明において、マイクロセンサ用基板及び裏打ち用基板は例えば、シリコン基板である。また堆積絶縁膜は、好ましくは、火炎加水分解反応による絶縁微粒子として堆積され、前記マイクロセンサ用基板と裏打ち用基板を貼り合わせて一体化する工程でアニールにより硬化させられるものとする。

【0008】この発明による製造方法では、マイクロセンサ用基板と裏打ち用基板を貼り合わせる前に、マイクロセンサ本体が基板上の凸型パターンとして加工する。そしてこの凸型パターンを堆積絶縁膜で覆って、マイクロセンサ用基板をこの堆積絶縁膜を介して裏打ち用基板と貼り合わせ、マイクロセンサ用基板を研磨してマイクロセンサ本体の主要部パターンをその周囲が堆積絶縁膜で囲まれた状態に加工する。従って、その後裏打ち用基板の不要部分をエッチングする工程では、マイクロセンサ本体は堆積絶縁膜でその周囲が囲まれているため、マイクロセンサ本体がサイドエッチングされて形状が損なわれることはない。これにより、微小形状のマイクロセンサデバイスを設計通りに製造することが可能になる。

【0009】

【発明の実施の形態】以下、図面を参照して、この発明をカンチレバー型プローブの製造に適用した実施例を説明する。実際の製造工程では、一つの基板から複数対のカンチレバー型プローブが作られるが、以下の図では便宜上、一対のカンチレバー型プローブに着目して説明する。図1に示すように、マイクロセンサ用基板である第1のシリコン基板11に、耐エッチングマスク材としてこの実施例では、回転塗布により形成される塗布型絶縁膜、即ちSOG(Spin On Glass)膜12を形成する。

SOG膜12は好ましくは感光性を有するものとする。【0010】次に、図2に示すように、SOG膜12を露光、現像してマスクをパターン形成する。SOG膜12が感光性を有する場合には、レジスト工程を用いることなく、直接露光して現像することができる。そして、バターニングされたSOG膜12をマスクとして、図3に示すように、強アルカリ液、例えばKOHを用いてシリコン基板11をエッチングして、プローブ13を凸型パターンとして、シリコン基板11に一体化された状態に形成する。その後、マスクとして用いたSOG膜12を除去する。以上により得られる形状を、図4に斜視図で示す。この段階でプローブ13はシリコン基板11からは分離されていない。

【0011】次に、図5に示すように、凸型パターンとして形成されたプローブ13を覆うように、堆積絶縁膜14を形成する。そして図6に示すように、堆積絶縁膜14上に裏打ち用基板として第2のシリコン基板15を貼り合わせる。堆積絶縁膜14は好ましくは、火炎加水分解法により得られるSi-B-O微粒子(スト)の層である。この微粒子層は、図6に示すように基板を貼

り合わせて、1150~1250°Cでアニールすることにより、硬い堆積絶縁膜14となり、二つの基板11、15を強固に接着することになる。この方法は、貼り合わせ面に凹凸があっても良好な基板貼り合わせを行うことができる方法として知られている。

【0012】この様に、凹凸加工がなされたシリコン基板11に裏打ち用のシリコン基板15を貼り合わせた後、図7に示すように、第1のシリコン基板11を堆積絶縁膜14が露出するまで研磨する。これにより、一对10のプローブ13は堆積絶縁膜14により周囲を囲まれた状態で互いに分離される。

【0013】次に、第2のシリコン基板15の不要部分をエッチング除去する。具体的には例えば、図8に示すように、第2のシリコン基板15上にSOG膜16を形成し、これを露光現像して、図9に示すように、基台として残す部分にSOG膜16のマスクをパターン形成する。SOG膜16は好ましくは、先の第1のシリコン基板11の加工の際と同様に、感光性を有するものを用い、直接露光によりバターニングする。

【0014】そして、SOG膜16をマスクとして、強アルカリ液、例えばKOHにより第2のシリコン基板15をエッチングする。このとき、既に加工されているプローブ13は、図9に示されるように、その周囲が堆積絶縁膜14により覆われていて、サイドエッチングは防止される。最後に堆積絶縁膜14を除去すれば、図10に示すように、プローブ13を露出させることができる。そして、SOG膜16を除去して、図11に示すように一对のプローブ13にAu/Cr積層膜等の金属膜17を被覆することにより、導電性構造体としてのカンチレバー型プローブが完成する。

【0015】以上のようにこの実施例では、基板貼り合わせを行う前に、第1のシリコン基板にプローブとなる凸型パターンを加工し、この加工面側を堆積絶縁膜で覆って第2のシリコン基板を貼り合わせ、その後第1のシリコン基板を研磨することにより、プローブを堆積絶縁膜に埋め込まれた状態で分離している。従って、裏打ち用の第2のシリコン基板をエッチングする工程では、既に加工されたプローブは堆積絶縁膜で周囲が囲まれているため、長時間のKOHエッチングを行ってもサイドエッティングが進行することはなく、設計通りの微小なプローブを得ることができる。

【0016】またこの実施例では、シリコン基板のエッチングマスクとしてSOG膜を用いており、減圧CVDによるSiNx膜を用いる場合に比べて大掛かりで高価な装置を必要とせず、また成膜時間も1時間程度短縮される。従ってスループットの向上が図られる。特に、感光性SOG膜を用いれば、レジスト工程を行なうことなく露光現像することができるため、マスクのバターニング工程は簡略化され、更に好ましい。

【0017】この発明は、上記実施例に限られない。実

施例ではカンチレバー型プローブを製造する例を説明したが、例えば図12に示すような加速度センサデバイスや、その他の各種マイクロセンサデバイスの製造にこの発明を適用することができる。また実施例では、マイクセンサ本体をシリコン基板により加工し、裏打ち用基板にもシリコン基板を用いる例を示したが、他の基板材料を用いる場合もこの発明は有効である。更に、SOG膜に代わって、従来と同様にSiNx膜等をマスクとしてシリコン基板エッチングを行う場合にも、この発明は有効である。

【0018】

【発明の効果】以上述べたようにこの発明によれば、マイクロセンサ用基板と裏打ち用基板を貼り合わせる前に、マイクロセンサ本体を基板上の凸型パターンとして加工し、この凸型パターンを堆積絶縁膜で覆って、マイクロセンサ用基板をこの堆積絶縁膜を介して裏打ち用基板と貼り合わせ、マイクロセンサ用基板を研磨してマイクロセンサ本体が堆積絶縁膜に埋め込まれた状態に加工している。従って、裏打ち用基板の不要部分をエッチングする工程では、マイクロセンサ本体は堆積絶縁膜で保護されてサイドエッチングされることはない。これにより、微小形状のマイクロセンサデバイスを設計通りに製造することが可能になる。

【図面の簡単な説明】

【図1】この発明の一実施例によるカンチレバー型プローブ製造工程において、第1のシリコン基板にSOG膜を塗布した状態を示す断面図である。

【図2】同製造工程において、SOG膜をパターン形成した状態を示す断面図である。

【図3】同製造工程において、第1のシリコン基板をエッチングしてプローブをパターン形成した状態を示す断面図である。

【図4】同製造工程において、形成されたプローブバ*

* ターンを示す斜視図である。

【図5】同製造工程において、堆積絶縁膜を形成した状態を示す断面図である。

【図6】同製造工程において、第2のシリコン基板を貼り合わせた状態を示す断面図である。

【図7】同製造工程において、第1のシリコン基板を研磨してプローブを分離した状態を示す断面図である。

【図8】同製造工程において、第2のシリコン基板にSOG膜を形成した状態を示す断面図である。

10 【図9】同製造工程において、SOG膜をマイクとしてパターン形成した状態を示す斜視図である。

【図10】同製造工程において、第2のシリコン基板をエッチングした状態を示す斜視図である。

【図11】同製造工程により得られたプローブを示す斜視図である。

【図12】他の実施例による加速度センサデバイスを示す図である。

【図13】従来の製造工程による基板貼り合わせの状態を示す断面図である。

20 【図14】従来の製造工程による基板研磨の状態を示す断面図である。

【図15】従来の製造工程によるマスクのパターン形成工程を示す断面図である。

【図16】従来の製造工程によるプローブ加工工程を示す断面図である。

【図17】図16の状態を示す斜視図である。

【図18】裏打ちシリコン基板を除去した状態を示す斜視図である。

【符号の説明】

30 11…第1のシリコン基板（マイクロセンサ用基板）、
12…SOG膜、13…プローブ、14…堆積絶縁膜、
15…第2のシリコン基板（裏打ち用基板）、16…SOG膜、17…金属膜。

【図1】

【図2】

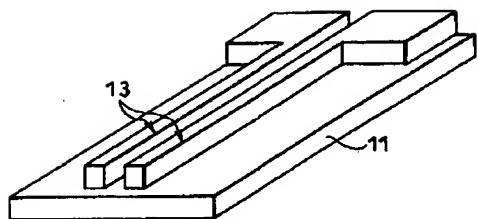
【図3】

【図5】

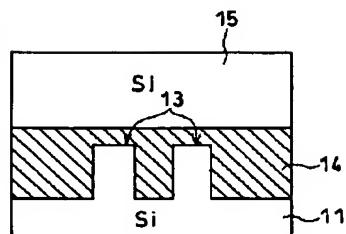
【図12】

【図14】

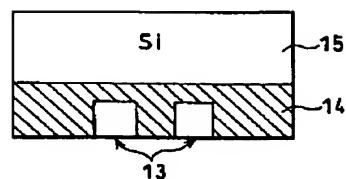
【図4】



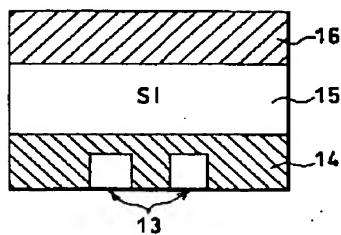
【図6】



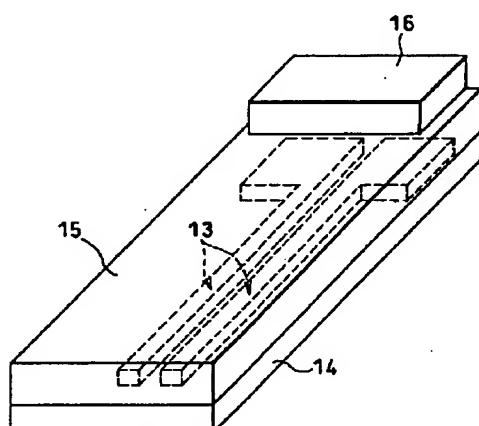
【図7】



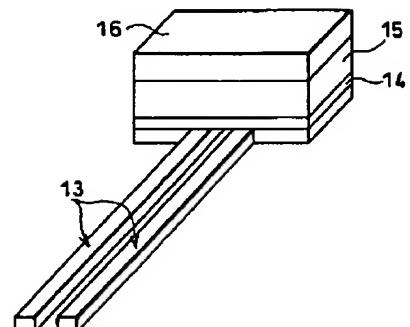
【図8】



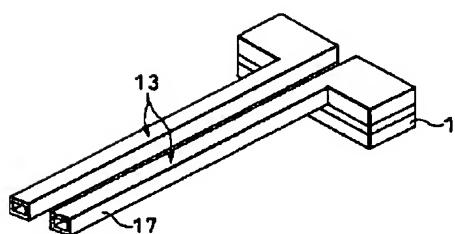
【図9】



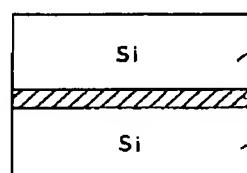
【図10】



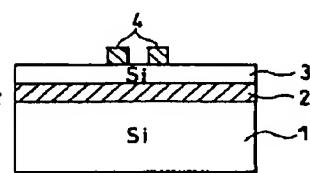
【図11】



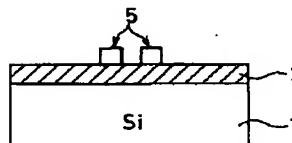
【図13】



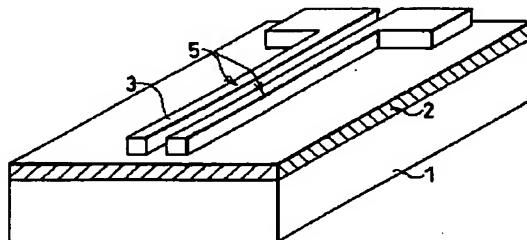
【図15】



【図16】



【図17】



【図18】

